

组合电路瞬态故障敏感性量化分析方法

戴 睿, 蒋见花, 周玉梅

(中国科学院 微电子研究所, 北京 100029)

摘 要: 为了快速而有效地预测组合电路瞬态故障(Transient Fault, TF)敏感性, 提出了一种基于分析模型的瞬态故障敏感性分析方法. 采用一种生成脉冲的预特征化方法保证了脉冲生成的精确性; 提出了一种基于块的传播算法处理瞬态脉冲传播过程中的屏蔽和衰减效应. 基于以上各方法的优势, 实现和验证了瞬态故障敏感性的量化分析工具 TFSA(Transient-Faults Susceptibility Analysis). ISCAS 基准电路的分析结果显示 TFSA 取得了与同类文献类似的分析结果, 对规模较大的电路分析速度上有明显的提升, 在高可靠电路设计过程中 TFSA 可以对瞬态故障敏感性进行有效预测.

关键词: 瞬态故障; 敏感性分析; 分析模型; 脉冲传播

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)09-0048-06

Quantitative Approach for Transient-Faults Susceptibility Analysis in Combinational Circuits

DAI Rui, JIANG Jian-hua, ZHOU Yu-mei

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029 China)

Abstract: A Quantitative approach based on analytical-model is proposed to quickly and accurately predict Transient Fault (TF) Susceptibility in combinational circuits. Accurate pulse generation model is relied on a pre-characterization method, while a block-based algorithm, appropriately taking into consideration the attenuation and masking effects, is proposed for the analysis of pulse propagation. Taking advantage of these methods, we implement and validate a Transient-Faults Susceptibility Analysis (TFSA) tool. Experimental results on ISCAS benchmark circuits show TFSA achieves good accuracy compared to previous works, with notable speed-up for larger circuits, which can provide efficiently TF Susceptibility prediction for high-reliable circuits design.

Key words: transient fault; susceptibility analysis; analytical model; pulse propagation

1 引言

在高可靠应用场合中, 单粒子瞬态脉冲(Single Event Transient)^[1-2]等引起的瞬态故障给电路的可靠性设计带来了严峻的挑战, 亟需对电路的瞬态故障敏感性进行精确快速的分析. 常用的敏感性分析方法有“仿真故障注入”和“模型分析”两大类, 前者基于电路级仿真具有较好的精度但速度极慢, 后者由于具有明显速度优势而成为研究的热点.

最具代表性的模型分析方法有 SERA^[1]、

Rao^[3]、SEAT-LA^[4]、FASER^[5]、ASSA^[6]、ASERT-A^[7]等. 其中 ASSA、ASERTA 采用了静态的路径敏化概率计算方法, 不需要进行大量随机向量下的模拟传播, 速度优势明显, 但对于复杂的路径汇聚分析结果常有较大波动^[3]; SERA、SEAT-LA 采用向量模拟分析, 而没有区分不同单元瞬态故障的差异性; FASER 和 Rao 分别采用了决策图分析方法(ADD/BDD)和参数化符号集方法(Descriptor Set), 分析速度较快, 但在电路规模较大时存在内存爆炸的隐患. 本文针对以上不足, 提出一种模型分析

收稿日期: 2013-11-06; 修回日期: 2013-12-27

基金项目: 国家科技重大专项(10ZX02315-013-002 / 10ZX02305-013-004)

方法,针对瞬态故障的生成和传播扩散过程进行解析和计算,并基于该方法实现和验证了瞬态故障敏感性的分析工具。

2 瞬态故障敏感性分析方法概述

高能粒子轰击组合逻辑激发的瞬态脉冲(Transient Pulse)在电路中向逻辑输出方向传播,它在被寄存器锁存产生瞬态故障之前,面临三种屏蔽效应^[1]: (1)逻辑屏蔽,是指门的输出由一个输入的逻辑值决定,其余输入与输出间不存在敏化;(2)电气屏蔽,是指脉冲波形因门的电气延时效应而发生衰减;(3)锁存窗口屏蔽,是指错误脉冲因未满足寄存器的建立和保持时间而不能被锁存。其中逻辑屏蔽效应主要由电路输入状态决定,而电气屏蔽和锁存窗口屏蔽取决于脉冲本身的波形和单元电气特性。

2.1 分析方法构架

本文提出的分析方法流程如图1所示,为了避免现有的基于路径的传播计算算法^[6-7]在精度方面的缺陷,同时避免决策图分析算法^[3]内存爆炸的问题,本文采用一种基于块的分析算法。

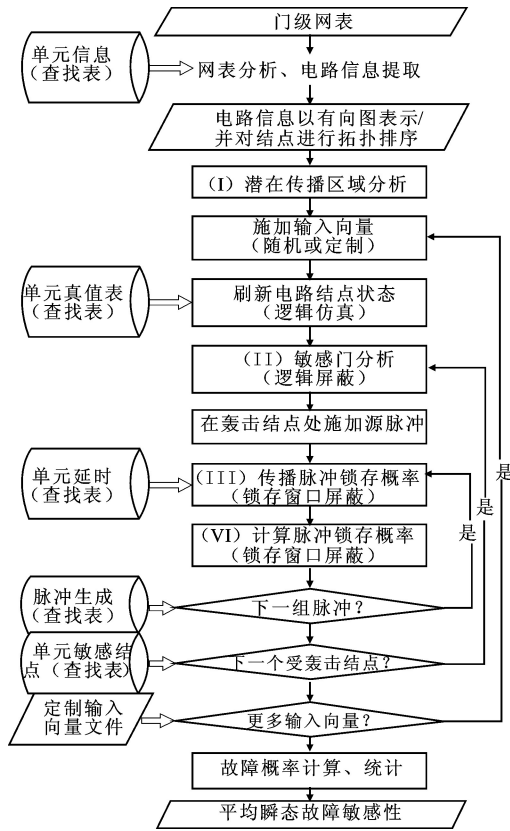


图1 分析方法流程图

步骤(I)、(II)共同完成了逻辑屏蔽^[1]的分析,其中(I)进行“潜在传播区域”分析,随后电路施加输

入向量,并计算电路中各个单元结点的逻辑状态,(II)进行“敏感门”分析。

电路的拓扑结构是固定的,因此(I)只需一次即可,分析的同时会对潜在传播区域集合以各结点到源结点的距离进行分块;每当电路施加了新的输入,电路状态随之变化,步骤(II)也需进行一次刷新,因此(II)运行次数等于输入向量数。由于(I)进行了传播区域的分析,确定了源结点到寄存器可能会经过的门的集合,并划分了逻辑块,因而有效缩小了分析对象的范围,简化了(II)的分析过程。

步骤(III)完成电气屏蔽^[1]的分析(脉冲衰减),不断重复步骤(II)(III),即可得到大量输入向量下电路的瞬态故障传播结果。分析中使用的“脉冲生成查找表”对库单元进行预特征化提取生成。

2.2 瞬态故障的表征和故障率计算方法

高能粒子轰击电路时,在相应的结点激发出以公式^[1]:

$$I_{inj}(Q, t) = \frac{Q}{(\tau_a - \tau_b)} (e^{-t/\tau_a} - e^{-t/\tau_b}) \quad (1)$$

描述的瞬时电流通路。其中, Q 是注入该结点的电荷量, τ_a 和 τ_b 是工艺有关的常数。

脉冲波形的衰减公式^[7]为

$$PW_o = \begin{cases} 0, & PW_i < d \\ 2(PW_i - d), & d \leq PW_i \leq 2d \\ PW_i, & PW_i > 2d \end{cases} \quad (2)$$

式中, PW_i 和 PW_o 分别为输入和输出的脉冲宽度, d 为相应输入端口的延时。

完成脉冲的传播后,需要对故障敏感性进行统计计算。如图1步骤(IV)所示,脉冲传播到寄存器数据端时,锁存概率由公式:

$$P_L(Q) = \begin{cases} 0, & PW_d < (t_s + t_h) \\ \frac{PW_d - (t_s + t_h)}{T_{dk}}, & PW_d \geq (t_s + t_h) \end{cases} \quad (3)$$

进行计算,它是注入电荷 Q 的函数。其中 PW_d 是寄存器数据输入端的脉冲宽度, t_s/t_h 分别为寄存器的建立时间和保持时间。

注入电荷服从 $R(Q) = 1/Q_s \exp(-Q/Q_s)$ 描述的指数分布^[3],其中 Q_s 是电荷收集效率。考虑 $(0, Q_{\max}]$ 范围内的电量,脉冲被锁存的平均概率为 $P_{i,x,j,k}^Q = \int_0^{Q_{\max}} P_{i,x,j,k}(Q) R(Q) dQ$, 其中 $P_{i,x,j,k}(Q)$ 表示电量为 Q 的脉冲锁存概率; $i = 1, 2, \dots, G$; $j = 1, 2, \dots, R$; $x = 1, 2, \dots, S$; $k = 1, 2, \dots, V$; G ,

R, S, V 分别代表电路总门数、输出寄存器数量、单元敏感结点数量、输入向量数量。

在一个时钟周期内, 门单元 i 引入寄存器 j 的错误次数的期望值为

$$P_{Vector(k)}^{G(i) \rightarrow R(j)} = \sum_{x=1}^S (A_{i,x} \cdot P_{i,x,j,k}^Q) \quad (4)$$

式中, $A_{i,x}$ 是 i 单元中第 x 个结点的敏感区域面积。寄存器 j 在 10^9 小时内 (FIT) 的故障率 (Transient Fault Rate) 为

$$TFR_{R(j)} = \frac{F \cdot R_{eff}}{V} \cdot \frac{3\,600 \cdot 10^9}{T_{dk}} \cdot \sum_{k=1}^V \sum_{i=1}^G \sum_{x=1}^S P_{Vector(k)}^{G(i) \rightarrow R(j)} \quad (5)$$

总故障率 (FIT) 为各寄存器故障率之和

$$TFR_{Circuit} = \sum_{j=1}^R TFR_{R(j)} \quad (6)$$

式中, F 为单位时间单位面积上高能粒子流量, R_{eff} 为有效撞击效率^[3], 分别取值为 $56.5 \text{ m}^{-2} \text{ s}^{-1}$ 和 2.2×10^{-5} 。

3 脉冲生成的预特征化

生成脉冲的波形由门单元的电气特性、偏置、负载等决定。“预特征化提取”是对库单元的各个敏感结点进行分析, 得到在不同偏置、注入电荷、负载下单元生成脉冲的幅度和宽度。

单元的偏置状态决定了电路敏感区域, 图 2 所示为 2-OR 门, 它在各种输入偏置下的敏感区域在表 1 中列出 (例如, A_{d6} 指 M6 漏端), 其输入 $A_1 A_2$ 为 00 时, 结点 Z 敏感区域为 M5 的漏端, 结点 ZN 敏感区域为 M2 和 M4 的漏端; 输入 $A_1 A_2$ 为 01、10、11 时, 结点 Z/ZN 的敏感区域分别为 M6 漏端/M3 漏端; 特别的, 当输入 $A_1 A_2$ 为 10 时, 内部结点 net1 处存在敏感区域, 为 M3 源端和 M1 漏端。

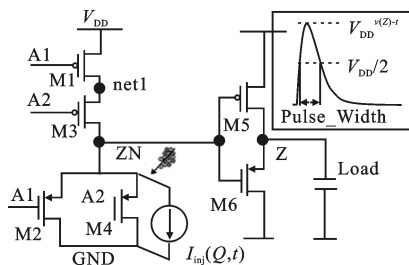


图 2 对 2-OR 进行预特征化 (ZN 结点)

表 1 不同偏置下 2-OR 各结点的敏感区域

Bias	00	01	10	11
Z	A_{d5}	A_{d6}	A_{d6}	A_{d6}
ZN	$A_{d2} \cap A_{d4}$	A_{d3}	A_{d3}	A_{d3}
net1	—	—	$A_{d1} \cap A_{d3}$	—

对库单元进行敏感区域的分析后, 逐一对各个敏感区域进行特征化的提取, 图 2 所示是在偏置为 00 时对 ZN 结点施加电流源激励, 瞬态电流由前文所述双指数电流方程 $I_{inj}(Q, t)$ 描述, 门单元驱动一定的负载 Load。针对一系列电量 Q 和负载 Load: $\{Q_0, Q_1, \dots, Q_p\}, \{C_0, C_1, \dots, C_q\}$ 逐一进行仿真, 最后得到 Pulse Width(PW) 和 Pulse Amplitude(PA) 的二维查找表。

为了加速特征化的过程, 注入电量按照从大到小的顺序考虑, 若在输出测量到的幅值小于阈值 $V_{DD}/2$, 则不需要进行更小电量的注入, 特征化算法如图 3 所示。最终的生成脉冲查找表中, 查表变量有五个: {单元类型, 偏置, 敏感点, Q , Load}; 预特征化采用一次性电路仿真提取, 结果作为脉冲生成查找表传播分析中使用。

```
Pulse_Generation_Characterization(library){
1. For each gate in the library{
2.   For each bias-condition{
3.     For each sensitive-node{
4.       For each load{
5.         For each Q{
6.           RunHspice simulation;
7.           Measure PW(Q)/PA(Q) at out-port;
8.           if (PA(Q) < VDD/2) break to next load;
9.         }
7.       }
8.     }
9.   }
}
```

图 3 脉冲生成特征化算法

4 基于分块的脉冲传播分析

在这一部分中, 首先介绍基于分块的逻辑屏蔽分析算法, 然后介绍脉冲衰减的分析方法。

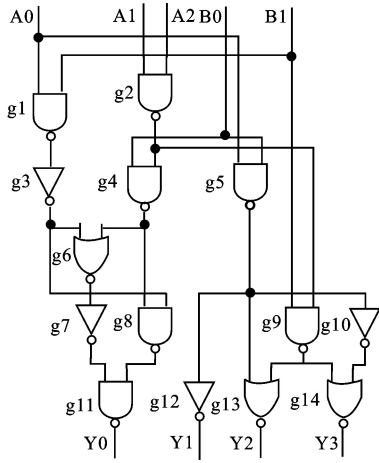
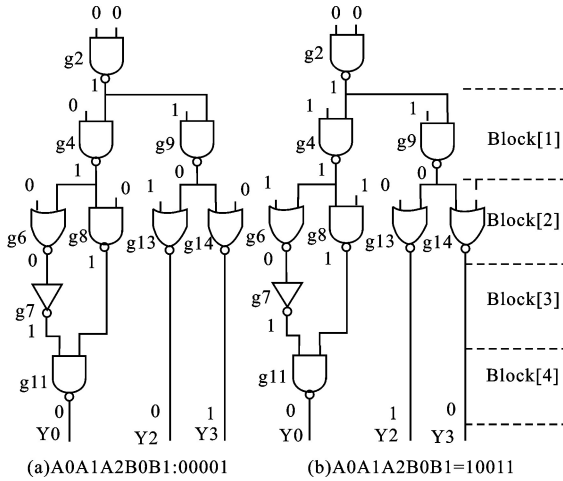
4.1 逻辑屏蔽分析: “潜在传播区域”和“敏感门”

电路在分析过程中, 被建模成一张有向图, 顶点代表门, 有向边代表门间的驱动关系。

“潜在传播区域”是以图中一个结点为起点沿边的方向追溯, 所经过的所有门结点, 它是有向图的一个子集, 它可以采用深度优先的后根遍历算法从有向图中搜索得到。如图 4 中, g_2 的潜在传播区域是着蓝色的各门的集合: $\{g_4, g_6, g_7, g_8, g_{11}, g_9, g_{13}, g_{14}\}$, 当 g_2 受到粒子轰击产生瞬态脉冲时, 这个子集可能会受到该脉冲影响。

基于分块的传播算法, 需要按照各结点与源结点的最大距离将该子集分块 (Block)。如表 3 所示, $block[i]$ 距离源结点的距离为 $i, i=1, 2, 3, 4$ 。

“敏感门”则是考虑逻辑屏蔽时, 受到源脉冲干扰的门的集合。如图 5 所示, 电路施加输入向量

图4 以 g_2 为源的潜在传播区域分析图5 以 g_2 为源的敏感门分析

00001 和 10011 时,敏感门分别为图 5(a)、图 5(b) 中着红色各个门,表 2 中列出各敏感门所在的分块。

表2 对 g_2 潜在传播区域的分块

g_2 潜在传播区域	敏感门 00001	敏感门 10011
Block[1]	{ g_4, g_9 }	{ g_9 }
Block[2]	{ g_6, g_8, g_{13}, g_{14} }	{ g_{14} }
Block[3]	{ g_7 }	Φ
Block[4]	{ g_{11} }	Φ
Output	{ Y_0, Y_2, Y_3 }	{ Y_3 }

```

Search_Sensitive_Gates(netlist,  $g(k)$ ) {
1. Set random input;
2. Refresh logic states for netlist;
3. For each block [ $i$ ] of  $g(k)$  {
4.   For each gate in block [ $i$ ] {
5.     For each input A {
6.       if ( $Z[A] \neq Z[\neg A]$ ) / 7not masked
7.         Sensitive_Block [ $i$ ]. push_back (gate);
8.     } } }

```

图6 敏感门搜索算法

图 6 中给出了从“潜在传播区域”中择取“敏感门”的算法,给电路施加输入向量后,刷新各个结点的逻辑值,然后依次按照 Block1, Block2, ... 的顺序考虑各个门的逻辑屏蔽情况,来甄别各个门是否属于敏感门。

由脉冲在门单元间传播衰减公式(2)可知,门单元对脉冲的衰减特性由延时 d 决定。文献[7]采用门的本征延时作为公式中的 d ,不考虑负载变化、脉冲方向对延时的影响,本文在此基础上加以改进,采用查找表的方法计算不同负载情况下的延时 d ,同时区别脉冲的跳变方向。假设当前单元的负载为 C_0 ,单元的负载范围为 $[C_{min}, C_{max}]$,则利用阶跃输入波形下的延时 $Dly(C_{min})$ 和 $Dly(C_{max})$ 进行插值,得到 $d = Dly(C_0)$ 进行衰减计算。

如图 7 所示,假设 2-NAND 链受到粒子的轰击,在 g_0 产生脉冲并传播到 g_4 ;采用 Hspice 仿真,在一系列注入电量下,得到 n_0 结点生成的脉冲宽度,以及传播到结点 n_4 结点处的脉宽,如表 3 所示。

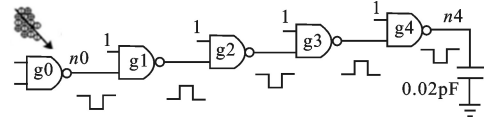


图7 脉冲在 2-NAND 链中传播

4.2 脉冲衰减的解析计算

表3 与文献[7]计算方法的对比

Hspice 仿真结果	ASERTA 方法	本文方法
PW(n_0)/ ps	PW(n_4)/ ps	误差/ %
91.6	0	0.00
148	0	—
181	0	—
207	103	99.8
228	153	49.0
248	190	30.5
265	219	20.9
278	240	15.8
286	253	12.9
平均误差	—	32.7

采用文献[7]的衰减计算方法,传播至 n_4 结点处的脉冲宽度也在表 3 列出,并与本文的计算结果做对比,平均来看,本文的方法将误差从 32.7% 降低到 6.77%。

当源结点的敏感门集合确定后,假设该结点受到粒子轰击,从脉冲生成查找表中选取合适的脉冲作为源脉冲,按照分块的顺序依次将脉冲传播通过每个敏感门。如图 8 为脉冲传播衰减的算法,为了加快分析速度,对于每一个节点,从高电量值开始考虑,若对于某个电量,其脉冲在输出处脉冲已经完全

衰减,则不需要继续考虑更小的电量.

```
Pulse_Attenuation(netlist, g(k), node(x)) {
1. For  $Q \leftarrow Q_{\max}$  to  $Q_{\min}$  {
2. Get Pulse-Generation-LUT[g(k), node(x),  $Q$ ];
3. Set PW at gate g(k);
4. For each sensitive_block[i] of g(k) {
5. For each gate in Sensitive_block[i] {
6. Compute attenuated PW at this gate;
7. if ( $PW = 0$ ) // electrical masking
8. break;
9. }
10. Refresh PW(out) at circuit output;
11. if ( $PW(out) = 0$ ) break to next node;
12. }
}
```

图 8 脉冲衰减算法

5 分析工具的实现和验证

故障率分析工具 TFSA 以 Perl/C++ 开发,如图 9 所示 TFSA 包括脉冲特征化提取工具、网表分析工具、故障传播分析程序、故障率敏感性计算程序几部分组成.

脉冲特征化提取工具控制 Hspice 仿真器对各单元的生成脉冲进行特征化,提取的目标参数以文本形式存储在交换文件中,被传播分析程序使用;网表分析工具对 DC 综合得到的网表进行语法分析,并存入电路信息交换文件中;故障传播分析程序读入该文件中的电路信息后建模为有向图,主要负责进行脉冲传播、屏蔽、衰减分析;故障敏感性计算程序基于大量脉冲传播结果进行统计计算,其结果包括电路总故障率、各寄存器故障率、各门累积引起的故障率等结果.

分析中除了脉冲生成查找表、单元敏感结点信息之外,还用到了库单元信息查找表、真值表、延时查找表,这些查找表包含了与工艺相关的标准单元端口命名、逻辑功能、电容参数、延时等信息.

本文将 ISCAS-85 基准电路映射到自有工艺上并进行了瞬态故障敏感性的分析,结果列于表 4 中,其中 M4 为 4×4 乘法器,其余依次类推.

本文的分析结果与同类文献 Rao、SERA^[8] 的对比如图 10(a)、(b)所示,与 SPICE 仿真故障注入^[3]的对比如图 10(c)所示.由于各文献采用了不同的工艺进行综合映射,电路的故障敏感率结果有所差别,但本文的分析结果与各文献相比变化趋势基

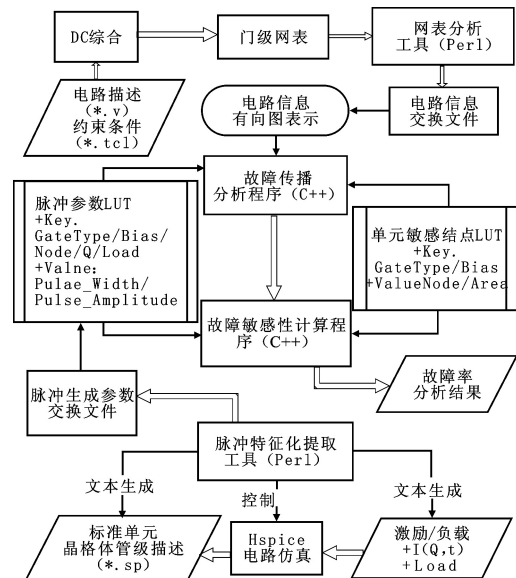


图 9 分析工具的实现

表 4 基准电路故障率分析结果

电路 型号	门数	输入数	输出 数	故障率 /FIT	分析时间/min
C17	6	5	2	2.34E-09	0.033 3
C432	287	36	7	7.00E-06	0.294
C499	338	41	32	3.59E-06	0.344
C880	661	60	26	1.22E-05	0.583
C1355	343	41	32	3.95E-06	0.350
C1908	633	33	25	1.31E-05	0.722
C2670	688	157	63	9.82E-06	0.689
C3540	1 244	50	22	2.88E-05	2.28
C5315	1 818	178	123	5.43E-05	2.21
C6288	4 465	32	32	3.70E-04	13.9
C7552	2 209	207	108	2.78E-05	2.59
M4	87	8	8	3.21E-06	0.117
M8	444	16	16	2.96E-05	1.03
M16	1 893	32	32	7.30E-05	5.63
M24	3 468	48	48	8.65E-05	16.7
M32	5 740	64	64	2.00E-04	36.9

本相同,这说明了本文采用的方法是合理的,与同类文献取得了类似的结果.表 4 同时给出了在 Intel-i3-2120CPU@3.3 GHz 机器上的分析运行时间,如图 11 是本文分析时间与 SERA、SEAT-LA 的对比,本文的分析速度比 SERA 快 2 个数量级以上,同 SEAT-LA 相比,分析速度在电路规模较大时优势较为明显.基于块的分析算法在屏蔽和衰减效应的分析过程中,通过潜在传播区域的分析和敏感门分析,减少了屏蔽与衰减计算中需要考虑的门的数量,有效简化了分析过程并加快了分析速度.

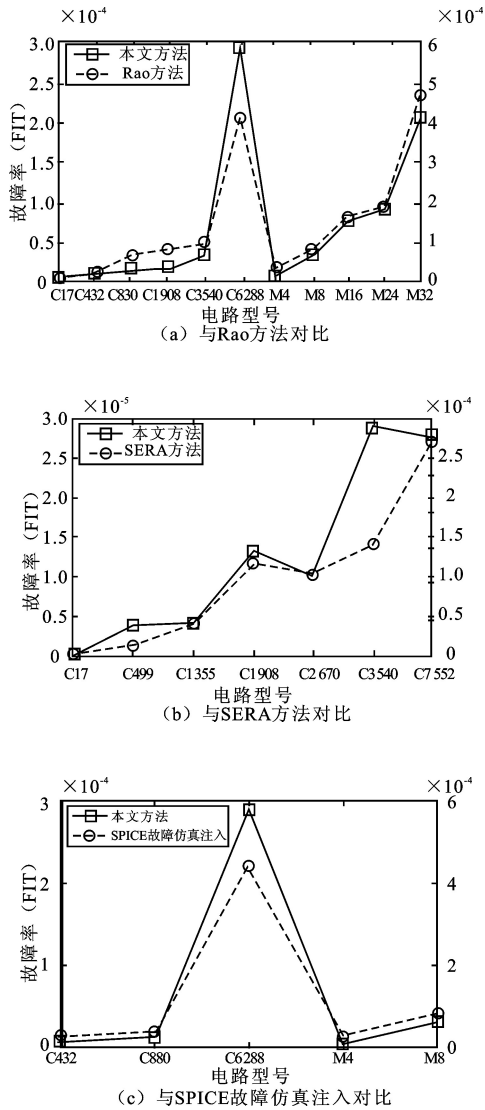


图10 与同类文献分析结果的对比

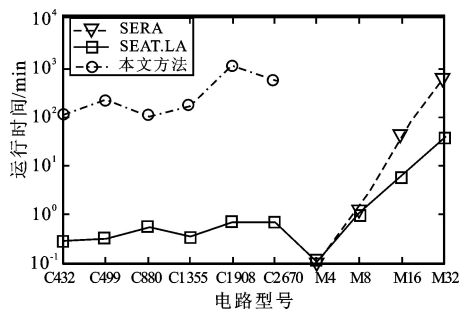


图11 与SERA/SEAT-LA的运行时间对比

6 结束语

本文提出了一种基于模型分析的瞬态故障敏感性分析方法,并实现了基于该方法的组合电路故障率分析工具 TFSA,该方法中融合了精确的预特征

化方法、快速的基于块的屏蔽分析方法、精确的衰减计算方法。文中针对 ISCAS 基准电路进行了分析实验,与同类文献和方法相比较取得了较一致的分析结果,且速度更快,在电路规模较大时依然具有良好的分析性能。后续将从设计方法学的角度研究如何综合运用各种故障敏感性分析方法进行高可靠电路设计及优化。

参考文献:

- [1] Zhang M, Shanbhag N R. Soft-error-rate-analysis(SE-RA) methodology[J]. IEEE Transactions on computer-aided design of integrated circuits and systems, 2006,25(10): 2104-2155.
- [2] 曹琛, 保护环对 130nm 体硅 PMOS 抗单粒子瞬态特性的影响[J]. 微电子学与计算机, 2012, 29(12): 149-153.
- [3] Rajeev R Rao, Kaviraj Chopra. Computing the soft error rate of a combinational logic circuit using parameterized descriptors[J]. IEEE Transactions on computer-aided design of integrated circuits and systems, 2007,26(3):468-479.
- [4] Rajaraman R, Kim J S, Vijaykrishnan N, et al. SEAT-LA: a soft error analysis tool for combinational logic [C]// 19th International Conference VLSI Design. India;Hyderabad, 2006: 499-502.
- [5] Zhang B, Wang W S, Orshansky M. FASER: fast analysis of soft error susceptibility for cell based designs [C] // Proceeding of International Symposium on Quality Electronic Design (ISQED). USA;Los Alamitos, 2006:755-760.
- [6] Zhao C, Bai X, Dey S. A scalable soft spot analysis methodology for noise effects in nano-meter circuits [C]// Proceeding of Design Automation Conference (DAC). Japan;Yokohama, 2004:894-899.
- [7] Dhillon Y S, Diril A U. Soft-error tolerance analysis and optimization of nanometer circuits[C]// Proceeding of the Design, Automation and Test in Europe Conference and Exhibition. Germany;Munich, 2005.
- [8] Liu Biwei, Chen Shuming. The effect of Re-convergence on SER estimation in combinational circuits[J]. IEEE transactions on nuclear science, 2009, 56(6): 3122-3129.

作者简介:

戴睿男,1988-,硕士研究生.研究方向为集成电路设计与系统应用。